

(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Applications (A)

(11) Kokai number: S62-51387

(43) Kokai publication date: March 6, 1987

(51) Int. Cl.⁴

Identification code

Internal Classification No.

H 04 N 5/91

Z-7155-

5C

G 09 N 1/02

7923-5C

G 11 N 7/00

6549-5B

*Examination request: NOT Requested, Number of inventions: 1, (total 11 pages¹)

¹ Original document consists of 11 pages. Translated version has more pages due to formatting differences.

(54) Title of the Invention: Picture Memory

(21) Application number: S60-189563

(22) Date of filing: August 30, 1985

(72) Inventor: Shigeru HIRAHATA

Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

(72) Inventor: Noboru KOJIMA

Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

(72) Inventor: Sunao HORIUCHI

Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

(72) Inventor: Hisao NAKAGAWA

Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

(71) Applicant: Hitachi, Ltd.

4-6, Kanda-Surugadai, Chiyoda-ku, Tokyo

(74) Representative: Katsuo Ogawa, Patent attorney (and 1 other)

Continued on last page

SPECIFICATION

1. TITLE OF INVENTION

Picture Memory.

2. CLAIM

A picture memory comprising:

- a memory cell array;

- a serial-to-parallel conversion circuit that inputs serial data and outputs parallel data;

- an input register circuit that inputs the parallel data from the serial-to-parallel conversion circuit and supplies that data to the memory cell array;

- a parallel-to-serial conversion circuit that inputs parallel data and outputs serial data;

- an output register circuit that inputs the parallel data output from the memory cell array, and supplies that data to the parallel-to-serial conversion circuit;

- a delay time specifying circuit;

- an address and timing generating circuit that inputs a signal from the delay time specifying circuit, and generates address and timing signals for performing write and read operations at addresses that differ from the memory cell write address and the memory cell read address by a value specified by the delay time specifying circuit; and

- a decoder circuit that decodes the address generated by the address timing and generating circuit, and supplies that decoded address to the memory cell array.

3. DETAILED EXPLANATION OF THE INVENTION

FIELD OF THE INVENTION

This present invention relates to a picture memory capable of storing and reproducing video signals, and in particular, to a picture memory suitable for performing digital signal processing by delaying for a predetermined amount of time a sampled and quantized digital signal.

BACKGROUND OF THE INVENTION

A conventional example of a picture memory suited for storing and reproducing a video signal is, for example, a storage element as disclosed in Kokoku (Japanese examined patent publication) No. S59-26031, wherein a serial data I/O function is added to the usual random access function. Moreover, an example of a specific product is the μ PD41264 memory, which is similar to the memory disclosed in the abovementioned patent and is being sold by NEC Corporation. Furthermore, a dedicated picture memory capable of storing the video signal of a single field within two memory cells has also been commercialized by NEC as the μ PD41221C, which implements serial data I/O in 1-line units and does not have a random access function.

Typically, when considering the case in which video signal processing is performed, a picture memory devised so as to be easily operable with a synchronizing signal contained in the video signal enables a reduction in the size of a video memory address generating circuit and peripheral circuitry for generating a memory write signal and other various control signals, thereby resulting in a more compact and economical apparatus.

However, the storage elements of the abovementioned Kokoku and the μ PD41264 have structures that emphasize random access functionality, and when used for video signal processing, are disadvantageous because they increase the size of the address generating circuit and the peripheral circuitry for generating various control signals. On the other hand, with the video signal processing-use μ PD41221C, a circuit that generates addresses in accordance with the sequential scanning of a video signal is incorporated inside the same element as the memory, and this configuration is advantageous when constructing a field memory that samples at three times the color sub-carrier frequency (hereafter denoted as fsc), or 3fsc, of a standard NTSC (National Television System Committee) television signal. Details concerning this aspect have been reported by Nagami and Hara in "320-row \times 700-column Dedicated Picture Serial I/O-type Dynamic Memory for TV and VCR Field Memory" in Nikkei Electronics, February 11, 1985, pp. 219-239. However, although this picture memory is well suited for a field memory that samples at 3fsc, it has a disadvantage of being difficult to apply to systems using a sampling frequency of 4fsc and to typical video signal processing applications that delay the output signal by a predetermined amount of time with respect to the input signal.

OBJECT OF THE INVENTION

Therefore, it is an object of the present invention to provide a picture memory suited for video signal processing, without such disadvantages associated with the prior art.

OVERVIEW OF THE INVENTION

To achieve the abovementioned object of the present invention, the picture memory is provided with a time delay specifying means for specifying the time delay from a data input pin to a data output pin, and realizes a predetermined time delay by performing read and write operations at addresses that differ from memory cell write address and memory cell read address by an amount specified by the time delay specifying means.

EMBODIMENTS OF THE INVENTION

Embodiments and drawings of the present invention are described below. FIG. 1 is a block diagram of a picture memory according to the present invention. In FIG. 1, reference numeral 1 denotes a picture memory formed from an integrated circuit according to the present invention, reference numeral 2 denotes a data input (DI) pin, reference numeral 3 denotes a data output (DO) pin, reference numeral 4 denotes an output enable (OE) input pin, reference numeral 5 denotes a write enable (WE) input pin, reference numeral 6 denotes a clock (CLK) input pin, reference numeral 7 denotes a memory control (CONT) input pin, reference numeral 8 denotes a register data (RD) input pin, reference numeral 9 denotes a register clock (RC) input pin, reference numeral 10 denotes a memory cell array, reference numeral 11 denotes a serial-to-parallel conversion circuit, reference numeral 12 denotes an input buffer register circuit, reference numeral 13 denotes an output buffer register circuit, reference numeral 14 denotes a parallel-to-serial conversion circuit, reference numeral 15 denotes a timing generating circuit, reference numeral 16 denotes an address generating circuit, reference numeral 17 denotes a decoding circuit, and reference numeral 18 denotes a delay time specifying register circuit. Additionally, reference letters *a* to *f* denote the signal paths of signals generated from the timing generating circuit 15.

The memory cell array 10 is configured as an n -row \times m -column cell array, and each memory cell corresponds to a pixel. Data inputted from the data input pin 2 is converted by the serial-to-parallel conversion circuit 11 into m -bit parallel data and stored in the input buffer register circuit 12 in accordance with the inputted clock (CLK). Based on various timing signals

generated at the timing generating circuit 15 from signals input to the clock input pin 6, the write enable input pin 5 and the memory control input pin 7, the parallel data stored in the input buffer register circuit 12 is written in m -bit units to a memory cell of the memory cell array 10 at the write address determined by the address generating circuit 16 and the decoding circuit 17.

Meanwhile, the delay time specifying register circuit 18 stores the delay time specifying value serially inputted with the register data input pin 8 and the register clock input pin 9. Based on this delay time specifying value, the address generating circuit 16 generates a read address shifted from the write address by the amount of the specifying value, and then the decoding circuit 17 decodes that address to specify the row to be read out from the memory cell array 10. From the memory cell array 10, m -bit parallel data is read out from the row specified by the read address, and that outputted data is stored in the output buffer register circuit 13. Then, according to timing signals generated from the timing generating circuit 15, the parallel data read out into the output buffer register circuit 13 is converted into serial data by the parallel-to-serial conversion circuit 14 and is output to the data output pin 3. The output of the data output pin 3 can be set to either a data output state or a high-impedance state, according to an output enable signal inputted to the output enable input pin 4.

Accordingly, data inputted to the data input pin 2 passes through the serial-to-parallel conversion circuit 11, the input buffer register circuit 12, the memory cell array 10, the output buffer register circuit 13, and the parallel-to-serial conversion circuit 14, and then is delayed by the amount of time specified by the delay time specifying register circuit 18 and output to the data output pin 3.

Next, FIG. 1 is described using a more specific numerical example. As described in the literature referenced above, in the case where an NTSC television signal is sampled at 4fsc, a single field will consist of 910 horizontal dots and 263 vertical dots. Therefore, if the memory cell array 10 is configured as $m=910$ columns and $n=525$ rows, a single frame of quantized 1-bit data can be stored. Therefore, when the memory cell array 10 has this type of row and column configuration, the difference between the read address (number of rows) and the write address (number of rows) can be specified according to the value in the delay time specifying register 18, and that value directly specifies the number of lines by which to delay the horizontal scan line. Accordingly, by setting the values of 1, 263 and 525 in the delay time specifying register circuit 18, output signals for a 1-line delay, a 1-field delay and a 1-frame delay, can be obtained, respectively. As can be understood in the case of a frame delay, read and write operations for the memory cell array 10 are implemented such that a read out operation to the output buffer register

circuit 13 is performed first, and then a write operation from the input buffer register circuit 12 is performed subsequently.

Additionally, an example of a different configuration of the memory cell array 10 is described below. In relation to the above example, the memory cell array 10 is configured as $m=70$ columns and $n=7000$ ($13 \times 525 + 175$) rows. Even in this case, since the timings of read and write operations can be adjusted by the input buffer register circuit 12 and the output buffer register circuit 13, data can be input and output continuously across rows. Consequently, similar to the example above, by setting the values of 13, 3419 and 6825 in the delay time specifying register 18, signals for a 1-line delay, a 1-field delay and a 1-frame delay, can be obtained, respectively.

As described above, the configuration of the memory array 10 can be set arbitrarily, and in the case of a configuration of n rows and m columns, the delay of output data with respect to input data can be specified in arbitrary units of m bits according to the value specified in the delay time specifying register 18.

Next, FIG. 2 shows a more detailed circuit example of the main block of FIG. 1. Also, FIG. 3 shows examples of the main signal waveforms of FIGS. 1 and 2.

In FIG. 2, circuit blocks having the same function as in FIG. 1 are notated with the same symbols. Also in FIG. 2, reference numerals 19 and 20 denote buffer circuits that buffer a clock signal input from the clock input pin 6, reference numeral 21 denotes a row address counter, reference numeral 22 denotes a column address counter, reference numeral 23 denotes a decoder, reference numeral 24 denotes a logical-OR circuit, reference numeral 25 denotes a shift register, reference numeral 26 denotes a delay time latch for storing data that specifies the delay time, reference numeral 27 denotes an adder circuit, reference numeral 28 denotes an offset storage circuit, reference numeral 29 denotes an adder circuit, reference numeral 30 denotes a next row start register for temporarily storing the starting address of a next row, reference numeral 31 denotes a refresh address counter, and reference numeral 32 denotes a multiplexor. Moreover, reference numerals 33 and 34 denote memory control signal input pins to which a control 0 signal and a control 1 signal are input, respectively. Additionally, for the convenience of explanation, the timing signal waveforms (1) to (14) shown in FIG. 3 are assigned the same symbols as the signal paths and signal pins of FIGS. 1 and 2.

In FIG. 2, a clock signal, as shown in waveform (1) of FIG. 3, input to the clock input pin 6 is then input, via the signal path a buffered by the buffer circuit 19, to the serial-to-parallel conversion circuit 11. Similarly, the clock signal is also input, via the signal path e buffered by

the buffer circuit 20, to the parallel-to-serial conversion circuit 20. Additionally, that same clock signal is also input to the column address counter 22 and to the decoder 23 which decodes the output signal thereof and generates timing signals as shown in waveforms (3), (4), (11) and (14) of FIG. 3. The waveform (3) of FIG. 3 is a signal supplied via signal path *b* so that the input buffer register circuit 12 stores the parallel data of the serial-to-parallel conversion circuit 11. The waveform (4) of FIG. 3 is a signal supplied via signal path *f* so that the parallel-to-serial conversion circuit 14 stores, in parallel, the parallel data to be output that is stored in the output buffer register circuit 13. By maintaining this timing relationship, as shown in the waveforms (2) and (5) of FIG. 3, although there are differences in the rows specified by the delay time specifying register circuit 18, the positions of column write and read operations can be made successively the same.

FIG. 2 shows an example of the delay time specifying register circuit 18 configured as a serial-input parallel-output type shift register 25. A signal as shown in the waveform (8) of FIG. 3 is input from the register data input pin 8 to the serial input of the shift register 25 and a signal as shown in the waveform (9) of FIG. 3 is input from the clock input pin 9 to the clock input of the shift register 25, thereby enabling data of an arbitrary bit length to be set as the delay time specifying information. The example of FIG. 3 shows the case in which a value *l* (1001 ... 011) is set as the delay time. The output signal of this shift register 25 is stored in the delay time latch 26 according to the output signal from the logical-OR circuit 24 that implements a logical OR operation of the memory control 1 signal shown in waveform (7) of FIG. 3 and the output signal of the decoder 23. At the adder circuit 27, the address signal (write address) from the row address counter 21 and the delay time specifying information stored in the delay time latch 26 are either added together or subtracted, and the result is supplied as a new address signal (read address) to the multiplexor 32. If the row address counter 21 is an up-counter, the address specified at the delay time latch is subtracted from the address signal of the row address counter 21, but if the row address counter 21 is a down-counter, both address are added together. As a result, the output of the adder circuit 27 changes according to the address output from the row address counter 21, thereby enabling the difference between write and read addresses to be maintained. If the number of rows *n* is a power of 2, the adder circuit 27 has a simple configuration, but if the number rows *n* is not a power of 2, the row address counter 21 is configured to loop at *n* and similarly, the output of the adder circuit is also configured to loop at *n*.

Next, the setting of the initial value of the row address counter 21 is described. Two types of memory control signals are used in setting the initial value, and either a memory control 0 signal as shown in waveform (6) of FIG. 3 or a memory control 1 signal as shown in waveform (7) of FIG. 3 is input. In the case of the latter, the row address counter 22 [sic²] already has a predetermined value, and this case is similar to the case in which the signal decoded by the decoder 23 is output via the logical-OR circuit 24, but in the case where the memory control 0 signal [sic³] is input, the next row start register 30 is cleared, and when the memory control 1 signal is input next, the row address counter 21 is cleared. A memory control 1 signal at that same time causes the output signal of the row address counter 21 and the signal stored in the offset storage circuit 28 to be added together by the adder circuit 29, and when the next memory control 1 signal is input, the result of that addition is stored in the next row start register 30 as the value to be set in the row address counter 21. Each time the memory control 1 signal is input, the above-described sequence of address updating operations is repeated. Accordingly, when a value of 1 is set in the offset storage circuit 28, the row address counter 21 changes by 1 each time the memory control 1 signal is input, and when a value of 5 is set in the offset storage circuit 28, the row address counter 21 changes by 5 each time the memory control 1 signal is input. This means that, for example, in the case where a single horizontal scan line of a television signal comprises $4m + k$ bits ($0 < k \leq m$) of a memory cell, the column address counter repeatedly counts $4m + k$, and each time the scan line changes, an address can be generated for reading the memory cell 10 from the beginning of a new row. Additionally, the output signal of the adder circuit 29 is supplied to the multiplexor 32, and an address advanced by one scan line can also be selected by the multiplexor 32.

The refresh operation for the memory cell array 10 is described below. Refresh is realized by the timing generating circuit 15 which generates a timing signal so that a refresh operation is performed at the row indicated by the refresh address counter 31. As shown in FIG. 2, the refresh address counter 31 is cleared by the memory control 0 signal, and is supplied from the decoder 23 with a count-up pulse as shown in the waveform (13) of FIG. 3. At this time, as shown in the waveform (10) of FIG. 3, the output signal of the multiplexor 32 becomes the output of the refresh address counter 31, and a refresh address (REF) is output. Also, a select signal as shown

² Translator's note: Typo in original document. Should probably be "row address counter 21."

³ Translator's note: Probable typo. There is no previous mention of a "memory control 0 signal" and this should probably be "memory control 1 signal."

in the waveform (11) of FIG. 3 is output from the decoder 23 of the timing generating circuit 15 to the decoder circuit 17.

Next, using the waveforms (10) to (14) of FIG. 3, read and write operations are described in the case where a single horizontal scan line of a television signal comprises m bits. In this case, the multiplexor 32 outputs the following four types of addresses within a single scan line: (1) a refresh address (REF), (2) a read address (R_1), (3) a write address (W), and (4) a second read address (R_2). In synchronization with this output, the select signal for the decoder circuit 17, shown in waveform (11) of FIG. 3, is also output. Write operations to the memory cell array 10 are performed with the select signal when the write address is output, and read operations are performed with the select signal when the read address (R_1 , R_2) is output. Moreover, after the value l has been set in the shift register 25, the read address and write address are output, displaced by l . At this time, as in the waveform (12) of FIG. 3, if the write enable signal prohibits writing to the memory cell (i.e., $WE = 0$), the select signal, as shown in waveform (11) of FIG. 3, from the decoder 23 is not generated at the position of a write operation. Moreover, as shown in the waveform (14) of FIG. 3, a signal synchronized to the read position select signal is output to the output buffer register circuit 13, and the contents of the memory cell array 10 are read periodically.

Next, the case is described in which it is desired to provide a phase difference of several dots between the input signal and output signal. As shown in waveforms (4) and (14) of FIG. 3, data read out from the memory cell array 10 is stored in the output buffer circuit 13, and with sufficient lead time, is loaded in parallel into the parallel-to-serial conversion circuit 14. Then, if the signal (waveform (4) of FIG. 3) to be output to the signal line f from the decoder 23 is generated one clock later, the output signal will be shifted back by 1 dot. Thus, by inputting a new memory control signal to the decoder 23, and as a result, changing the position at which the pulse signal to be output to the f signal line is generated, the time delay between an input signal to the picture memory 1 and an output signal can be set in 1-clock units.

Moreover, in the example of FIG. 2, the offset storage circuit 28 was described as having been set in advance to a fixed value, but by enabling a new memory control signal to set the offset storage circuit 28 to the value output by the shift register 25 used in the delay time specifying register circuit 18, television signals other than NTSC signals can be supported.

FIG. 4 shows another embodiment of the present invention. In FIG. 4, circuit blocks having the same function as in FIG. 1 are notated with the same symbols. A major difference with FIG. 1 is the capability for specifying the delay time specification in 1-clock units as

described above, and a configuration that subdivides the serial-to-parallel conversion circuit 11, the input buffer register circuit 12, the output buffer register circuit 13, and the parallel-to-serial conversion circuit 14 into four systems. Also, FIG. 5 shows examples of the main signal waveforms of FIG. 4.

The configuration of FIG. 4 is described below, focusing on differences with FIG. 1. In FIG. 4, reference numeral 35 denotes a timing generating circuit capable of accommodating a delay time specification in dot units, reference numeral 36 denotes a selector circuit for selecting a parallel-to-serial converted output signal, reference numerals 111 to 114 denote $m/4$ bit serial-to-parallel conversion circuits, reference numerals 121 to 124 denote $m/4$ bit input buffer registers, reference numerals 131 to 134 denote $m/4$ bit output buffer circuits, and reference numerals 141 to 144 denote $m/4$ bit parallel-to-serial conversion circuits. The memory cell array 10 has an n -row \times m -column configuration, which is the same as in FIG. 1. Additionally, reference letters a to i denote main signal paths, the waveforms of a portion thereof being shown in FIG. 5, and for the convenience of explanation are shown with the same symbols as assigned to the signal paths.

One difference between FIG. 4 and FIG. 1 is the timing generating circuit 35. Functionally similar to and without significant changes to the detailed configuration of the timing generating circuit 35 [sic⁴] shown in FIG. 2, four systems of timing signals are generated with the decoder 23. Moreover, the delay time specifying register circuit 18 has a greater number of bits than in the case of FIG. 1, and by supplying a signal exclusively from these additional bits to the timing generating circuit 35, the delay time can be specified in 1-clock units as described above.

Another difference is the subdivision of the memory write and read system into four systems. Advantages of adopting this type of configuration include, for example, a reduction in peak consumption of electric power when areas outside the memory cell array 10 are implemented in CMOS circuit technology, and the ability to specify the delay time in units of $1/4^{\text{th}}$ of a row. Below, the operation when subdivided into four systems is described.

Data, as shown in the waveform (1) of FIG. 5, having been inputted from the data input pin 2, is converted into parallel data every $m/4$ bits by the serial-to-parallel conversion circuits 111 to 114, and is input as a signal, shown as the waveform (2) of FIG. 5, into each input buffer register circuit 121 to 124. The signals shown in waveforms (3) to (6) of FIG. 5 are input to the

⁴ Translator's note: Typo in original document. Should probably be "... timing generating circuit 15 shown in FIG. 2."

respective input buffer register circuit 121 to 124, and as shown in waveforms (7) to (10) of FIG. 5, are stored therein as $m/4$ bit parallel data. Similar to the case of FIG. 1, the data stored in the input buffer register circuits 121 to 124 is written in groups of m bits to the memory cell array 10. Also similar to the case of FIG. 1, a select signal as shown in the waveform (12) of FIG. 5 is supplied to the decode circuit 17, which outputs decode output signals to repeat the operations of (1) refresh, (2) read, (3) write, and (4) read. The output buffer register circuits 131 to 134 are entirely the same functionally as the output buffer register circuit 13 of FIG. 1, and according to a signal, as shown in waveform (13) [sic⁵] of FIG. 5, from the timing generating circuit 35, store the m bits of parallel data read out from the memory cell array 10. Further, the read-out data stored in the output buffer register circuits 131 to 134 is supplied every $m/4$ bits to the parallel-to-serial conversion circuits 141 to 144, whereby according to the signal shown in waveform (13) of FIG. 5, data is loaded in parallel into the parallel-to-serial conversion circuit 141, and then with a $1/4$ phase-shifted signal, data is loaded in parallel into the parallel-to-serial conversion circuit 142, and so on. After the parallel to serial conversion, the data is supplied as serial signals, as shown in waveforms (14) to (17) of FIG. 5, to the selector circuit 36. As shown by encircled reference numerals ① to ② in waveforms (14) to (17) of FIG. 5, the selector circuit 36 performs a selection operation according to a signal supplied from the timing generating circuit 35, and outputs a signal as shown in waveform (18) of FIG. 5 to the data output pin 3.

Next, the case in which the configuration of FIG. 4 is provided with a plurality of data input pins and a plurality of data output pins is described. As can readily be understood from FIG. 4, the serial-to-parallel conversion circuit operates with exactly the same timing, but each signal input pin should be implemented as a plurality of data input pins. Moreover, the signal output pins for the parallel-to-serial conversion circuits 141 to 144 should be implemented as a plurality of data output pins. In this manner, a single I/O circuit can realize 4 systems, and by outputting signals from the timing generating circuit 35 such that the timing will be the same as in the case of FIG. 1, a picture memory having four systems of $n \times m + 4$ bit memory cells can be achieved. At this time, it goes without saying that each output can be disabled by an input signal to the output enable input pin. Moreover, by leaving the selector circuit 36 as is, the output signal from the 4-system memory cell can be selectively switched as an input to the memory control signal or as the contents to be set in the delay time specifying register circuit 18. In an example application

⁵ Translator's note: Probable typo in original document. From the appearance of FIG. 5, this should be "... waveform (11) of FIG. 5..."

where a memory cell has the capacity to store 1 field of a television signal, each system will select a signal delayed by 1 to 4 fields.

FIG. 6 shows another embodiment of the present invention. In FIG. 6, circuit blocks having the same function as in FIG. 1 and FIG. 4 are notated with the same symbols. A characteristic of FIG. 6 is the addition of a function for writing to the memory cell in 1-dot units. For this purpose, the memory read circuit is provided with 2 systems, the output of 1 system being returned to the input portion, and this embodiment is characterized by an input switching circuit provided at the input part that selects either a new input signal or a signal that has been read out from the memory. In FIG. 6, reference numeral 37 denotes a second selector circuit, reference numeral 38 denotes a timing generating circuit, reference numeral 39 denotes an input switching circuit, and reference numerals 145 to 148 denote parallel-to-serial conversion circuits.

As shown by the signal of waveform (10) of FIG. 3, read operations from the memory cell 10 can be implemented twice, and as shown in the waveform (5) of FIG. 3, the phases of the input and output signals can be aligned. Additionally, by setting the delay time specifying register circuit 18 to establish a 1-frame delay of the television signal, and by reading the parallel data supplied to parallel-to-serial conversion circuits 141 to 144 and to the selector circuit 36 during the first read operation and the parallel data supplied to parallel-to-serial conversion circuits 145 to 148 and to the selector circuit 37 during the second read operation, and then supplying one set of data to the data output pin 3 and the other to the input switching circuit 39, a 1-frame picture memory can be written to in 1-dot units. The timing generating circuit 38 generates the necessary timing signals for these circuits. Further, by providing the adder circuit 27, shown in FIG. 2, for specifying the delay time with two systems, the delay time can be specified independently with the selector circuit 36 and the selector circuit 37, making it possible to output a signal delayed by 1 field to the data output pin 3 while writing a 1-frame picture in 1-dot units. This function is effective for dropout correction in a VCR, for example.

FIG. 7 shows yet another embodiment of the present invention. In FIG. 7, circuit blocks having the same function as in FIG. 1 and FIG. 4 are notated with the same symbols. A characteristic of the configuration of FIG. 7 is that the outputs from the abovementioned 2-system read circuit can be fed to external output pins. An additional characteristic is that the memory read circuit is provided with 2 systems, and a delay time can be specified for each system. In FIG. 7, reference numeral 40 denotes an address generating circuit having the added function of generating independent read addresses for the 2 systems based on delay time specifying information specified by the delay time specifying register circuit 18, reference

numeral 41 denotes an output buffer register circuit, reference numeral 42 denotes a parallel-to-serial conversion circuit, reference numeral 43 denotes a timing generating circuit, reference numeral 44 denotes a second data output pin, and reference numerals 45 and 46 denote clock input pins.

Similar to the description of FIG. 6, parallel data read out during the second read operation is stored in the output buffer register circuit 41, converted from parallel to serial data by the parallel-to-serial conversion circuit 42, and then output as second serial data to the data output pin 44. At this time, according to timing supplied from the timing generating circuit 43 and to delay time information specified in the delay time specifying register circuit 18, the address generating circuit 40 generates a read address signal to extract an output signal from the picture memory 1 having been provided with two different delay times. A description of the operation of each system is omitted since it is the same as in the case of FIG. 1, but by providing the parallel-to-serial conversion circuits 14 and 42 with the configuration shown in FIG. 4, the number of dots per column can be subdivided a multiple number of times and the delay time specified. Moreover, the clock input pins 45 and 46 are provided for inputting a data input clock signal (CLK1) and a data output clock signal (CLK2), respectively, to the timing generating circuit 43. As a result, the data input clock signal and the data output clock signal can be operated independently.

The configuration of FIG. 7 is an example provided with two output pins for one input pin, and based on the description above, configurations having $2N$ output pins and N input pins can be realized easily and are clearly included within the present invention.

Below, concrete examples of delay time specifications for the picture memory 1 in the configuration of FIG. 7 are described. In the case of a television signal, for example, the simultaneous output of a 1-frame delay signal and a 1-field delay signal, simultaneous output of a 1-field delay signal and a 1-field + 1-line delay signal, simultaneous output of 1-field 262-line and 1-field 263-line delay signals, and so on, can be specified freely according to the data set in the delay time specifying register circuit 18.

Furthermore, the above explanation described the case in which the delay time specification was specified directly, but by storing the necessary values in advance in a storage circuit, a select signal can be used to specify those values indirectly. In this case, for example, the amount of delay can also be specified in field units using 2 bits, in line units using 2 bits, and in clock units using 2 bits.

Moreover, in the above explanation, the delay time specification of the delay time specifying register circuit 18 is set using independent pins, but data may be set in series or in parallel by assigning dual functions to the register data input pin and data input pin, and using the register clock input pin as the memory control input pin.

EFFECT OF THE INVENTION

As described above, the present invention provides a picture memory having a new function that enables the setting of a suitable signal delay for video signal processing.

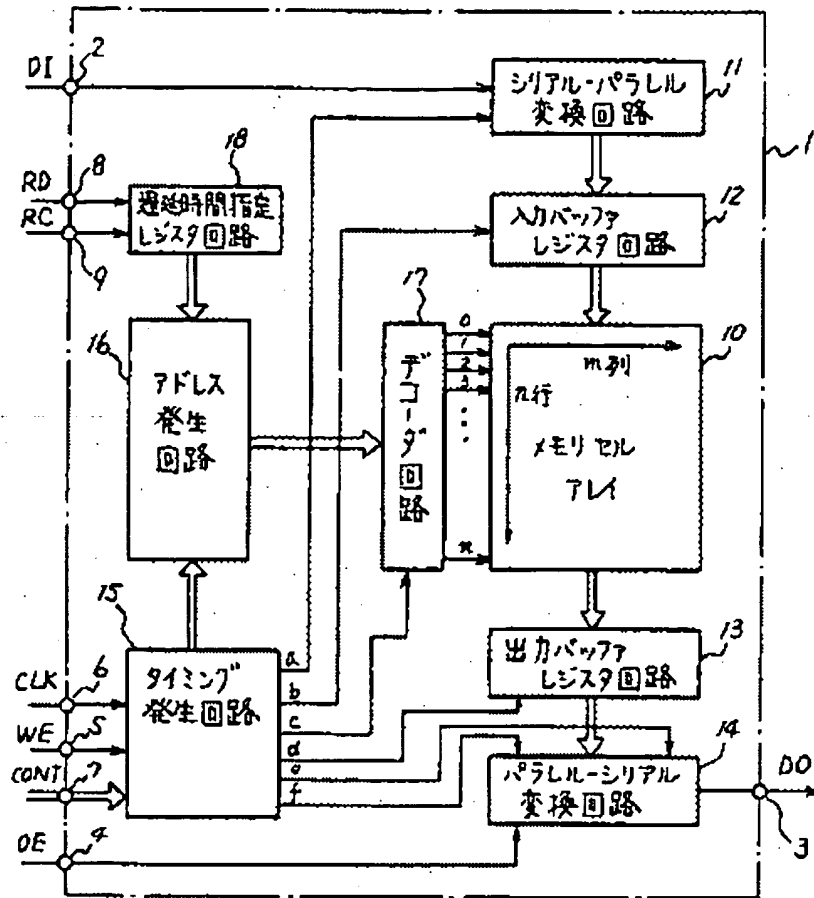
4. BRIEF EXPLANATION OF THE DRAWINGS

FIG. 1 is a block diagram of a picture memory showing one embodiment of the present invention. FIG. 2 is a more detailed block diagram of the main block of FIG. 1. FIG. 3 shows examples of the main signal waveforms of FIGS. 1 and 2. FIG. 4 is a block diagram showing another embodiment of the present invention. FIG. 5 shows examples of the main signal waveforms of FIG. 4. FIG. 6 is a block diagram showing another embodiment of the present invention. FIG. 7 is a block diagram showing another embodiment of the present invention.

1 ... picture memory, 2 ... data input pin, 3 ... data output pin, 10 ... memory cell array, 11 ... serial-to-parallel conversion circuit, 12 ... input buffer register circuit, 13 ... output buffer register circuit, 14 ... parallel-to-serial conversion circuit, 15 ... timing generating circuit, 16 ... address generating circuit, 17 ... decoder circuit, 18 ... delay time specifying register circuit

Katsuo Ogawa, Representative & Patent Attorney

FIG. 1



DI: Data input RD: Register data
 DO: Data output RC: Register clock
 CLK: Clock CONT: Memory control
 WE: Write enable OE: Output enable

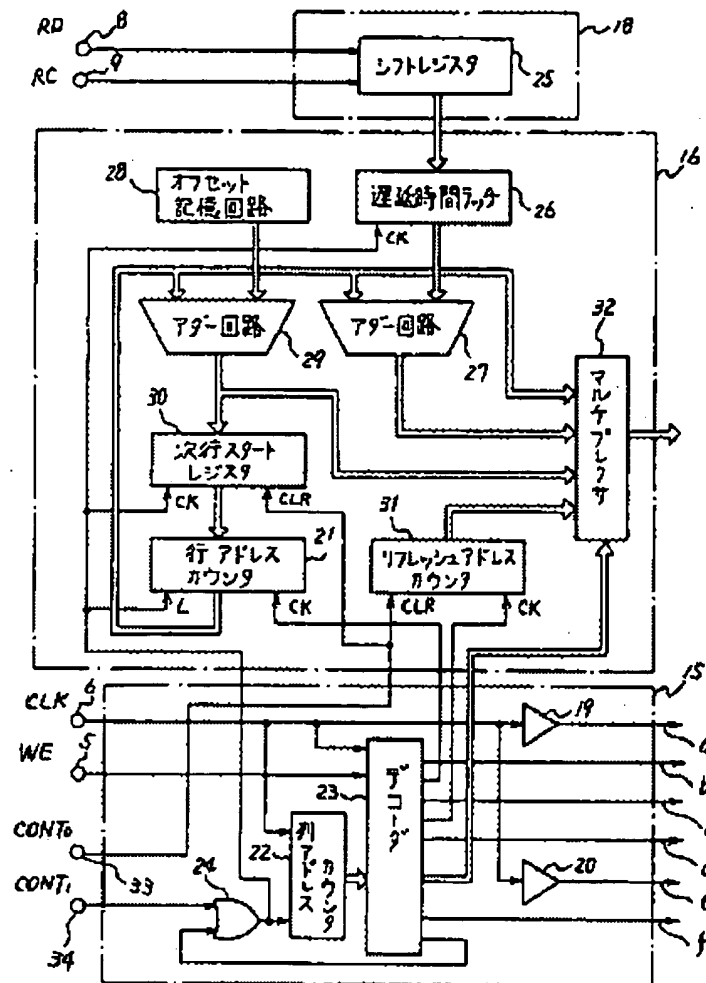
10: Memory cell array n rows, m columns
 11: Serial-to-parallel conversion circuit
 12: Input buffer register circuit
 13: Output buffer register circuit
 14: Parallel-to-serial conversion circuit

Kokai S62-51387 (18)

- 15: Timing generating circuit
- 16: Address generating circuit
- 17: Decode circuit
- 18: Delay time specifying register circuit

[more pgs>>]

FIG. 2



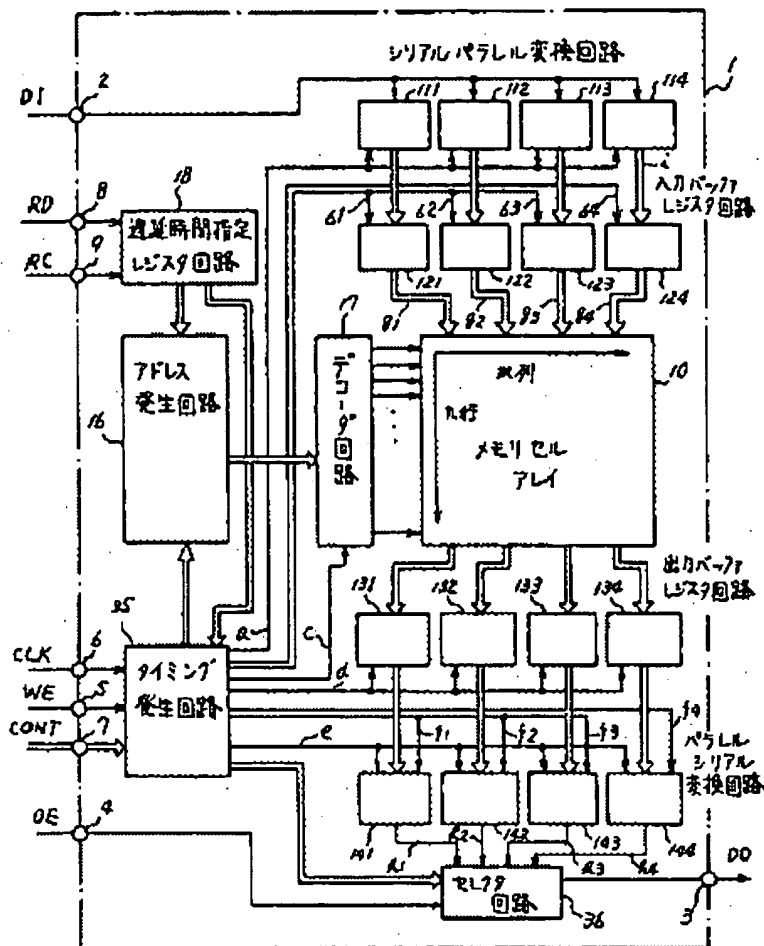
- 21: Row address counter
- 22: Column address counter
- 23: Decoder
- 25: Shift register
- 26: Delay time latch
- 27: Adder circuit
- 28: Offset storage circuit
- 29: Adder circuit
- 30: Next row start register

31: Refresh address counter

32: Multiplexor

[more pgs>>]

FIG. 4



10: Memory cell array n rows, m columns

16: Address generating circuit

17: Decoder circuit

18: Delay time specifying register circuit

35: Timing generating circuit

36: Selector circuit

111 to 114: Serial-to-parallel conversion circuits

121 to 124: Input buffer registers

131 to 134: Output buffer register circuits

141 to 144: Parallel-to-serial conversion circuits

FIG. 5

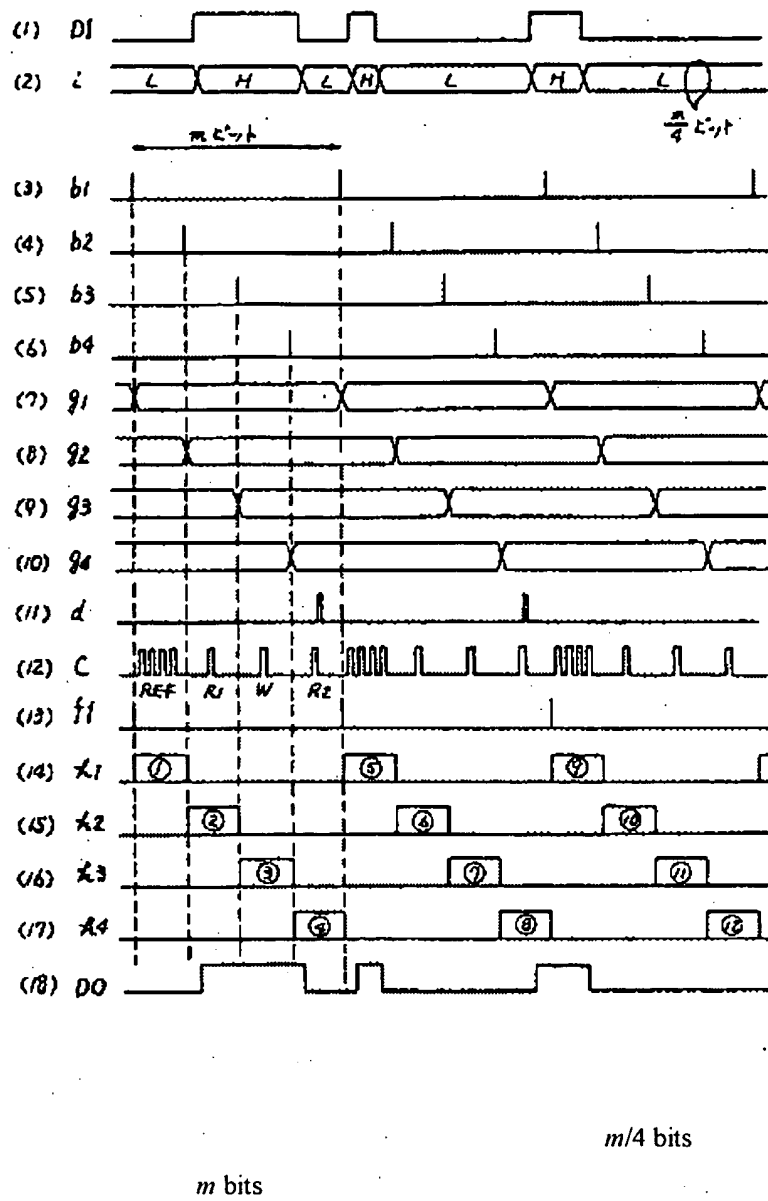
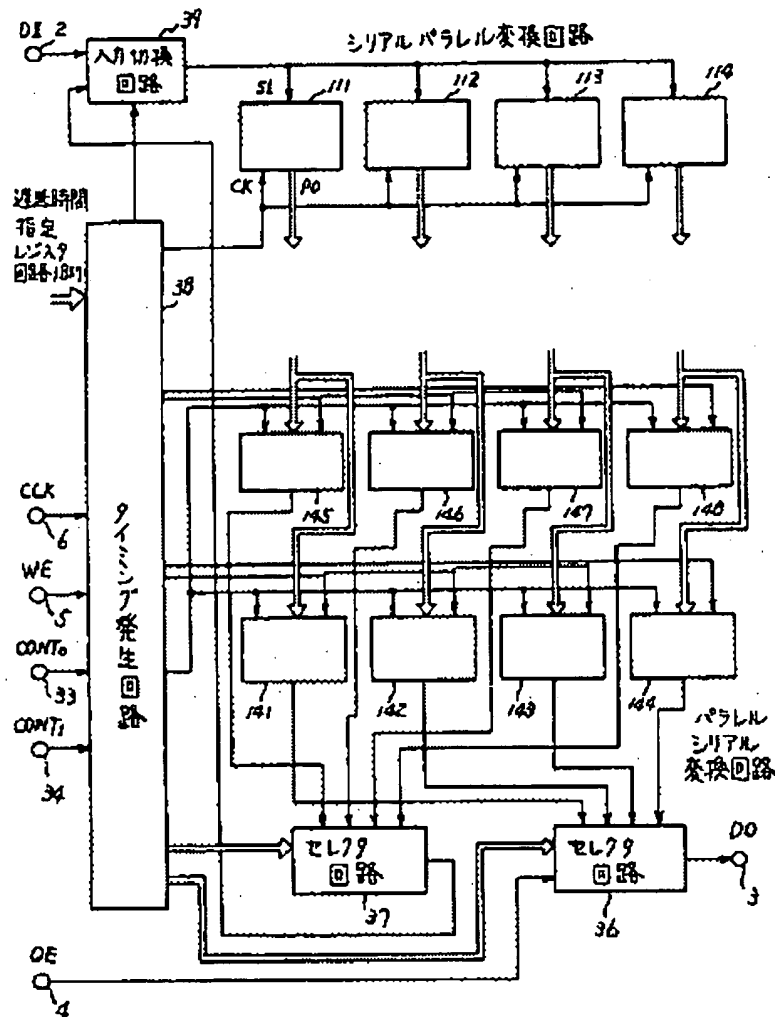


FIG. 6



36: Selector circuit

37: Selector circuit

38: Timing generating circuit

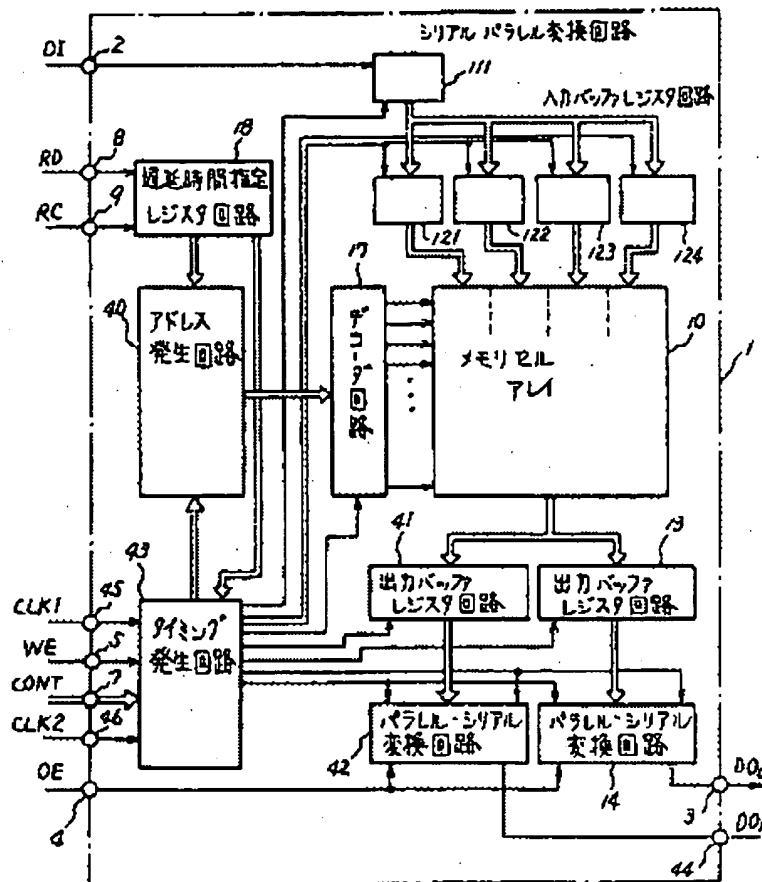
⇒ From delay time specifying register circuit

39: Input switching circuit

111 to 114: Serial-to-parallel conversion circuits

141 to 144: Parallel-to-serial conversion circuits

FIG. 7



- 10: Memory cell array
- 13: Output buffer register circuit
- 14: Parallel-to-serial conversion circuit
- 17: Decoder circuit
- 18: Delay time specifying register circuit
- 40: Address generating circuit
- 41: Output buffer register circuit
- 42: Parallel-to-serial conversion circuit
- 43: Timing generating circuit
- 111: Serial-to-parallel conversion circuit
- 121 to 124: Input buffer registers

Continued from page 1

(50) Int. Cl. ⁴	Identification code	Internal Classification No.
H 04 N 5/907		B-7423-5C
	5/92	Z-7155-5C

(72) Inventor: Hisanobu TSUKASAKI
 Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

(72) Inventor: Kazuo KONDO
 Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

(72) Inventor: Shuzo MATSUMOTO
 Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

(72) Inventor: Harumi WAKIMOTO
 Hitachi Consumer Products Research Center, 292 Yoshida-cho, Totsuka-ku,
Yokohama

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-51387

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)3月6日

H 04 N 5/91
G 09 G 1/02
G 11 C 7/00

Z-7155-5C
7923-5C
6549-5B ※審査請求 未請求

発明の数 1 (全1頁)

⑮ 発明の名称 画像メモリ

⑯ 特 願 昭60-189563

⑰ 出 願 昭60(1985)8月30日

⑱ 発 明 者 平 島 茂 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発 明 者 小 島 昇 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 発 明 者 堀 内 直 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 発 明 者 中 川 一 三 夫 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1 発明の名称 画像メモリ

2 特許請求の範囲

メモリセルアレイと、直列にデータ入力し並列に出力するシリアル-パラレル変換回路と、上記シリアル-パラレル変換回路の並列データを入力し、上記メモリセルアレイに供給する入力レジスタ回路と、並列にデータを入力し直列に出力するパラレル-シリアル変換回路と、上記メモリセルアレイから出力される並列データを入力し上記パラレル-シリアル変換回路に供給する出力レジスタ回路と、遅延時間指定回路と、上記遅延時間指定回路からの信号を入力し、上記メモリセルアレイへの書き込みアドレスと上記メモリセルアレイからの読み出しアドレスとを上記遅延時間指定回路で指定した値だけ異なるアドレスで書き込み読み出し動作を行なわせるためのアドレス・タイミング信号を発生するアドレス・タイミング発生回路と、前記アドレス・タイミング発生回路で発生するアドレスを

デコードして上記メモリセルアレイに供給するデコード回路とを備えた事を特徴とする画像メモリ。

3 発明の詳細を説明

〔発明の利用分野〕

本発明は、ビデオ信号を記憶再生可能な画像メモリに係り、特に標準化して量子化されたビデオ信号を所定時間遅延させてデジタル信号処理を行なうに好適な画像メモリに関するものである。

〔発明の背景〕

ビデオ信号を記憶再生するに適した画像メモリの従来例として、例えば特公昭59-26031に記載された記憶素子のように、通常のランダムアクセス機能にシリアルデータ入出力機能を付加するものがある。また、具体的製品例としては、同公告特許に記載されたものと類似なメモリとして、日本電気株式会社から発売されているMPD41264がある。さらに、ビデオ信号の1フィールド分を2個のメモリで記憶可能

とする専用の画像メモリについても、ランダムアクセス機能が無くシリアルデータの入出力機能を1ライン単位で行なうμPD41221Cとして同社より製品化されている。

一般に、ビデオ信号処理を行なう場合を考慮すると、ビデオ信号に含まれる同期信号によって画像メモリを容易に動作させられることが、画像メモリのアドレス発生回路やメモライト信号など、各種の制御信号を発生するための周辺回路を小さくし、ひいては装置の小形化、経済性を生むこととなる。

しかし、前述の公告特許の記憶素子やμPD41264ではランダムアクセス機能を重視した構成となつているため、ビデオ信号処理用として使用するには、アドレス発生回路など各種の制御信号を発生するための周辺回路が大きくなるという欠点を持っていた。これに対し、ビデオ信号処理専用のμPD41221Cは、ビデオ信号の順次走査に合わせたアドレス発生回路がメモリと同一素子内に取り込まれており、標準

テレビジョン信号(NTSC方式: National Television System Committee)をその色利線送放周波数(以下fscと略す。)の3倍の周波数3fscで標本化しフィールドメモリを作るのに便利を構成になつている。この点については、長見・原による「テレビヤVTRのフィールドメモリ用520行×700列構成の画像専用直列入出力型ダイナミック・メモリ」、日経エレクトロニクス、1985年2月11日号、PP219-239に詳細に報告されている。しかし、この画像メモリでは3fsc標本化によるフィールドメモリには通しているものの、標本化周波数4fscのシステムや、入力信号に対して出力信号をあらかじめ定められた所定時間遅延させるような一般的ビデオ信号処理用途には適用が難しいという欠点を持っていた。

(発明の目的)

そこで、本発明の目的は、このような従来技術の欠点を無くし、ビデオ信号処理に好適な画像メモリを提供することにある。

(発明の概要)

上記目的を達成するために本発明は、画像メモリにデータ入力端子からデータ出力端子までの遅延時間を指定する遅延時間指定手段を設け、メモリセルへの書き込みアドレスと、メモリセルからの読み出しアドレスとを上記遅延時間指定手段で指定した分だけ異なるアドレスで書き込み読み出し動作を行なわせることにより所定時間遅延を実現する。

(発明の実施例)

以下、本発明の実施例を図面と共に説明する。第1図は本発明による画像メモリのブロック図である。第1図において、1は本発明による集積回路にした画像メモリ、2はデータ入力(DI)端子、3はデータ出力(DO)端子、4は出力イネーブル(OE)入力端子、5はライトイネーブル(WE)入力端子、6はクロック(CLK)入力端子、7はメモリコントロール(CONT)入力端子、8はレジスタデータ(RD)入力端子、9はレジスタクロック(RC)入力端子、10はメモ

リセルアレイ、11はシリアル-パラレル変換回路、12は入力バッファレジスタ回路、13は出力バッファレジスタ回路、14はパラレル-シリアル変換回路、15はタイミング発生回路、16はアドレス発生回路、17はデコード回路、18は遅延時間指定レジスタ回路である。また、a~fはタイミング発生回路15から発生する信号の信号路である。

メモリセルアレイ10は、n行m列の構成のセルアレイ配置を持ち、各メモリセルは面素子に対応しているとする。データ入力端子2から入力されたデータは、クロック入力端子6に入力されるクロック(CLK)によつて、シリアル-パラレル変換回路11でmビット毎のパラレルデータに変換されては入力バッファレジスタ回路12に格納される。入力バッファレジスタ回路12に格納されたパラレルデータは、タイミング発生回路15でクロック入力端子6やライトイネーブル入力端子5やメモリコントロール入力端子7に入力される信号によつて発生される各種タイ

ミング信号をもとに、アドレス発生回路14、デコード回路17で決定されたメモリセルアレイ10の書き込みアドレスのメモリセルへmビット単位で書き込まれる。

一方、遅延時間指定レジスタ回路18には、レジスタデータ入力端子8とレジスタクロック入力端子9によつて直列に入力された遅延時間指定値が格納される。この遅延時間指定値をもとに、アドレス発生回路14で書き込みアドレスと指定値分だけずれた読み出しアドレスを発生し、デコード回路17でデコードしてメモリセルアレイ10の読み出し行を指定する。メモリセルアレイ10からは、読み出しアドレスで指定された行のmビットのバラレルデータが読み出され出力バッファレジスタ回路13に格納される。さらに、出力バッファレジスタ回路13に読み出されたバラレルデータは、バラレル-シリアル変換回路14でタイミング発生回路15から発生されるタイミング信号によつてシリアルデータに変換されデータ出力端子5に出力される。データ出力端

子5の出力は、出力イネーゴル入力端子4に入力する出力イネーブル信号によつて、データ出力状態かハイインピーダンス状態かを指定できる。

したがつて、データ入力端子2に入力されるデータは、シリアル-バラレル変換回路11、入力バッファレジスタ回路12、メモリセルアレイ10、出力バッファレジスタ回路13、およびバラレル-シリアル変換回路14をそれぞれ経由して、データ出力端子5に、遅延時間指定レジスタ回路18で指定した時間だけ遅延して出力することができる。

次に、より具体的な数値を例にとつて第1図を説明する。上述の文献にも述べられているが、NTSC方式のテレビ信号を、標準化周波数4.50で標準化した場合に、1フィールドの構成は、横910ドット、縦263ドットとなる。そこで、メモリセルアレイ10の行列構成として、mを910、nを525とすると、量子化1ビット分の1フレームが記憶できることになる。そと

で、このようなメモリセルアレイ10の行列構成の時には、遅延時間指定レジスタ回路18に指定した値によつて読み出しアドレス（行数）と書き込みアドレス（行数）との差を指定することができ、その値はそのまゝ水平走査線を何ライン分遅延するかを指定することとなる。したがつて、遅延時間指定レジスタ回路18に、1なる値を設定すると1ライン遅延、263なる値を設定すると1フィールド遅延、525なる値を設定すると1フレーム遅延のそれぞれ出力信号を得ることができる。なお、メモリセルアレイ10に対する書き込みと読み出しは、フレーム遅延の場合からわかるように、出力バッファレジスタ回路13への読み出し動作が先に行なわれ、次に入力バッファレジスタ回路12からの書き込み動作が行なわれる。

さらに、メモリセルアレイ10の別の構成例について説明する。上の例との関連より、行列構成として、mを70、nを7000 ($13 \times 525 + 175$)とする。この場合でも、入力バッファレジスタ

回路12と出力バッファレジスタ回路13で書き込みと読み出しのタイミングを調整できるため、行にまたがつて連続的にデータを入出力できる。そのため、上記例と同様、遅延時間指定レジスタ回路18に、13なる値を設定すると1ライン遅延、3419なる値を設定すると1フィールド遅延、6825なる値を設定すると1フレーム遅延の信号を得ることができる。

以上の様に、メモリセルアレイ10の構成は任意に設定することができ、n行m列構成の場合、遅延時間指定レジスタ回路18に指定した指定値によつて、入力データに対する出力データ遅延を任意のmビット単位で指定可能である。

次に、第1図における主要ブロックのより詳細な回路例を第2図に示す。また、第5図に、第1図および第2図の主要な信号波形例を示す。

第2図において、第1図と同一機能の回路ブロックには同一記号を記してある。また、同図において、19と20はクロック入力端子6より入力されるクロックをバッファするバッファ回路、

21は行アドレスカウンタ、22は列アドレスカウンタ、23はデコード、24はオア回路、25はシフトレジスタ、26は遅延時間を指定するデータを記憶する遅延時間ラッチ、27はアダー回路、28はオフセット記憶回路、29はアダー回路、30は次行スタートアドレスを一時記憶する次行スタートレジスタ、31はリフレッシュアドレスカウンタ、32はマルチプレクサである。また、33と34はメモリコントロール信号入力端子で、それぞれコントロール0信号とコントロール1信号が入力される入力端子である。さらに、説明の都合上、第3図に示すタイミング信号波形(1)～(14)は第1図または第2図の信号路、信号端子の記号を付加する。

第2図において、クロック入力端子6に入力される第3図(1)に示すようなクロック信号は、バッファ回路19によつてバッファされ信号路aを經由してシリアル-パラレル変換回路11に入力される。また、同様に、バッファ回路20によつてバッファされた信号路bを經由してパラレル-

シリアル変換回路14に入力される。さらに、同クロック信号は列アドレスカウンタ22とその出力信号をデコードするデコード23にも入力され、第3図(3)、(4)、(11)、(14)に示すようなタイミング信号を発生する。第3図(5)は、入力バッファレジスタ回路12がシリアル-パラレル変換回路11のパラレルデータを記憶するために、信号路bによつて供給する信号である。第3図(4)は、出力バッファレジスタ回路13に記憶した出力するためのパラレルデータを、パラレル-シリアル変換回路14に並列に記憶するために、信号路cによつて供給する信号である。こうしたタイミング関係を保つことにより、第3図(2)と(5)に示すように、遅延時間指定レジスタ回路18で指定された行の違ひはあるものの、列の書き込み位置と読み出し位置を連続して同一にすることができる。

第2図では、遅延時間指定レジスタ回路18の一例として簡単なシリアル入力パラレル出力形のシフトレジスタ25による構成を示している。

このシフトレジスタ25のシリアル入力にレジスタデータ入力端子8から第3図(6)に示すような信号を入力し、また、クロック入力にレジスタクロック入力端子9に入力する第3図(9)に示すような信号を入力することにより、任意のビット数のデータを遅延時間指定情報として設定できる。第3図の例では、遅延時間として8なる値(10011001)を設定した場合を示している。このシフトレジスタ25の出力信号は、第3図(7)に示すメモリコントロール1信号とデコード23の出力信号をオア回路24によつて論理和した出力信号によつて、遅延時間ラッチ26に記憶される。アダー回路27では、行アドレスカウンタ21からのアドレス信号(書き込みアドレス)と、遅延時間ラッチ26に記憶された遅延時間指定情報との加算または減算を行なつた結果を新しいアドレス信号(読み出しアドレス)としてマルチプレクサ32に供給する。行アドレスカウンタ21がアップカウンタである場合には、行アドレスカウンタ21のアドレス信号から遅延

時間ラッチで指定したアドレスを減算し、同カウンタがダウンカウンタである場合には、両アドレスを加算することとなる。したがつて、行アドレスカウンタ21のアドレス出力に応じて、アダー回路27の出力も変化することとなり、書き込みアドレスと読み出しアドレスの差を保つことが可能である。なか、行数nが2のべき乗となつている場合には、アダー回路27も単純なものとなるが、2のべき乗以外の場合には、行アドレスカウンタ21がnでループするよう構成すると同様、アダー回路の出力もnでループするよう構成することとなる。

行アドレスカウンタ21の初期値の設定について次に説明する。初期値設定には2種類のメモリコントロール信号が用いられ、第3図(6)に示すようなメモリコントロール0信号が入力される場合と、第3図(7)に示すようなメモリコントロール1信号が入力される場合とである。後者の場合、行アドレスカウンタ22があらかじめ定められた値となりデコード23によつてデコードされ

た信号がメモ回路24を經由して出力された場合でも同様であるが、メモリコントロール0信号が入力された場合には次行スタートレジスタ30がクリアされ、次にメモリコントロール1信号が入力された時に行アドレスカウンタ21をクリアすることとなる。同時刻のメモリコントロール1信号によつて、行アドレスカウンタ21の出力信号と、オフセット記憶回路28に記憶された信号とがアダー回路29によつて加算され、その結果が次のメモリコントロール1信号が入つて来た時に行アドレスカウンタ21に設定する値として、次行スタートレジスタ30に記憶される。メモリコントロール1信号が入るたびに、上記一連のアドレス更新動作を繰り返すこととなる。したがつて、オフセット記憶回路28に1なる値を設定した場合、行アドレスカウンタ21はメモリコントロール1信号が入るたびに1ずつ変化したし、5なる値を設定した場合には、行アドレスカウンタ21はメモリコントロール1信号が入るたびに5ずつ変化する事となる。これは、例

フレッシュアドレスカウンタ31の出力となりリフレッシュアドレス (REF) を出力する。さらに、デコード回路17にもタイミング発生回路15のデコード25より第3図(11)に示すような選択信号も出力される。

さらに、第3図(10)~(14)を用いて、テレビ信号の1水平走査線がmビットで構成される場合のリードライト動作を説明する。この場合、マルチプレクサ32の出力は、4種類のアドレス、(1)リフレッシュアドレス (REF), (2)読み出しアドレス (R_1), (3)書き込みアドレス (W), (4)第2の読み出しアドレス (R_2) を1走査線内で出力する。これに同期して、第3図(11)で示すデコード回路17の選択信号も出力される。メモリセルアレイ10への書き込み動作は、書き込みアドレスが出力されている時の選択信号で、読み出し動作は、読み出しアドレス (R_1 , R_2) が出力されている時の選択信号でそれぞれ行をわける。また、シフトレジスタ25に5なる値が設定された後は、読み出しアドレスと書き込みアドレス

例えば、テレビ信号の1水平走査線がメモリセルの $4m+k$ ビット ($0 < k \leq m$) で構成される場合、列アドレスカウンタは $4m+k$ のカウンタを繰り返して、走査線が変わる毎に新しい行の先頭からメモリセルアレイ10を読み出すアドレスを発生させるようにできることを意味している。さらに、アダー回路29の出力信号はマルチプレクサ32に供給されており、1走査線分進んだアドレスもマルチプレクサ32で選択できるようにになっている。

次に、メモリセルアレイ10のリフレッシュについて説明する。これは、リフレッシュアドレスカウンタ31で示される行にリフレッシュ動作を行なうようタイミング発生回路15がタイミング信号を発生することによって実現する。リフレッシュアドレスカウンタ31は、第2図で示すようにメモリコントロール0信号でクリアされ、第3図(15)に示すようなカウンタアップパルスをデコード25より供給される。この時、第3図(10)に示すようにマルチプレクサ32の出力信号はリ

とが5なるずれを持つて出力される。このとき第3図(12)の様に、タイトイネーブル信号がメモリセルへの書き込みを禁止した場合 (この場合、 $WE=0$) には、第3図(14)で示されるようデコード25からの選択信号が書き込み位置に発生しないこととなる。また、出力バッファレジスタ回路13へは第3図(14)のように、読み出し位置の選択信号に同期して信号が出力され、周期的にメモリセルアレイ10の内容の読み出されることとなる。

次に、入力信号と出力信号とで数ドット分の位相差を持たせたい場合について説明する。第3図(4)と(14)に示すように、メモリセルアレイ10から読み出したデータを出力バッファ回路13で記憶し、十分な余裕を持つてパラレルシーリアル変換回路14にパラレルロードしている。そこで、デコード25から5なる信号線に出力する信号 (第3図(4)) を1クロック後に発生するようにすると、出力信号は1ドット後へずれることとなる。そこで、新しいメモリコントロー

ル信号をデコーダ23に入力し、これによつて1なる信号線に出力するパルス信号の発生位置を変更することで、画像メモリ1への入力信号と出力信号の遅延時間を1クロック単位で指定することも可能である。

また、第2図の例で、オフセット記憶回路28はあらかじめ固定されているものとして説明したが、遅延時間指定レジスタ回路18に用いたシフトレジスタ25の出力値を、新たなメモリコントロール信号でオフセット記憶回路28に設定可能とすると、NTSC方式のテレビ信号以外の方式にも対応することができる。

第4図は、本発明の他の実施例を示す図である。第4図において、第1図と同一機能の回路ブロックには同一記号を記してあり、第1図との大きな違いは、遅延時間指定を上述のように1クロック単位まで指定できるようにした点と、シリアル-パラレル変換回路11、入力バッファレジスタ回路12、出力バッファレジスタ回路13、パラレル-シリアル変換回路14を4系統に分割

し回路35の群組構成と大きく変わらず、デコーダ23で4系統のタイミング信号を発生する。また、遅延時間指定レジスタ回路18は第1図の場合よりビット数が大きくなっており、この大きくなったビット分だけの信号をタイミング発生回路35に供給することによつて、上述したように1クロック単位での遅延時間指定を可能にする。

他の異なる点は、メモリ書き込み読み出し系を4系統に分割している事である。このような構成を取る利点として、例えば、メモリセルアレイ10以外の部分をCMOS回路化した時のピーク消費電力を減少させたり、遅延時間指定を4分の1行単位で可能にできることがあげられる。以下、4系統に分割した場合の動作について説明する。

第5図(1)に示すようなデータ入力端子(2)から入力されたデータは、シリアル-パラレル変換回路111~114で $m/4$ ビット毎にそれぞれパラレルデータに変換されて、第5図(2)に示すよ

うに構成した点にある。また、第5図は、第4図の主要な信号波形例を示している。

以下、第4図の構成が第1図と異なる点を中心に説明する。第4図において、35はドット単位の遅延時間指定に対応できるタイミング発生回路、36はパラレル-シリアル変換された出力信号を選択するためのセレクタ回路、111~114はそれぞれ $m/4$ ビットのシリアル-パラレル変換回路、121~124は $m/4$ ビット構成の入力バッファレジスタ回路、131~134は $m/4$ ビット構成の出力バッファ回路、141~144は $m/4$ ビットのパラレル-シリアル変換回路である。メモリセルアレイ10の構成については、 n 行 m 列で第1図の場合と同一である。また、 $a \sim i$ はそれぞれ主要な信号路であり、第5図にはその1部を信号波形として示してあるが、説明の便宜上信号路に付した記号で示してある。

さて、第4図において、第1図と異なる点のひとつは、タイミング発生回路35である。機能的には同様なので第2図に示したタイミング発

生回路35の群組構成と大きく変わらず、デコーダ23で4系統のタイミング信号を発生する。また、遅延時間指定レジスタ回路18は第1図の場合よりビット数が大きくなっており、この大きくなったビット分だけの信号をタイミング発生回路35に供給することによつて、上述したように1クロック単位での遅延時間指定を可能にする。

他の異なる点は、メモリ書き込み読み出し系を4系統に分割している事である。このような構成を取る利点として、例えば、メモリセルアレイ10以外の部分をCMOS回路化した時のピーク消費電力を減少させたり、遅延時間指定を4分の1行単位で可能にできることがあげられる。以下、4系統に分割した場合の動作について説明する。

第5図(1)に示すようなデータ入力端子(2)から入力されたデータは、シリアル-パラレル変換回路111~114で $m/4$ ビット毎にそれぞれパラレルデータに変換されて、第5図(2)に示すよ

うに信号として入力バッファレジスタ回路121~124に入力される。入力バッファレジスタ回路121~124には、タイミング発生回路35より第5図(3)~(6)に示す信号がそれぞれ入力されており、第5図(7)~(10)に示すように $m/4$ ビットパラレルデータ毎に格納される。入力バッファレジスタ回路121~124に格納されたデータは第1図の場合と同様 m ビットまとめてメモリセルアレイ10に書き込まれる。デコード回路17には、第1図の場合と同様に、第5図(12)で示すような選択信号が供給され、(1)リフレッシュ、(2)読み出し、(3)書き込み、(4)読み出しのそれぞれの動作を繰り返すためのデコード出力信号が出力される。出力バッファレジスタ回路131~134は機能的には第1図の出力バッファレジスタ回路13と全く同一で、第5図(13)で示すようなタイミング発生回路35からの信号によつてメモリセルアレイ10から読み出された m ビットのパラレルデータを格納する。さらに、出力バッファレジスタ回路131~134に格納された読み

出しデータは、パラレル-シリアル変換回路141~144に $m/4$ ビット毎に供給され、第5図(15)に示す信号によつてパラレル-シリアル変換回路141にパラレルロードされ、 $1/4$ 位相の異なる信号でパラレル-シリアル変換回路142がパラレルロードされといった様に、パラレル-シリアル変換された後、第5図(14)~(17)に示すようなシリアル信号としてセレクト回路36に供給される。セレクト回路36では、第5図(14)~(17)に①~④で示すように、タイミング発生回路35より供給される信号によつて選択動作を行ない、第5図(18)に示すような出力信号をデータ出力端子3に出力する。

次に、第4図の構成で複数データ入力端子、複数データ出力端子とされた場合について説明する。同図より容易に判るように、シリアル-パラレル変換回路は全く同一タイミングで動作しており、それぞれの信号入力端子を複数のデータ入力端子とすれば良い。また、出力端子については、パラレル-シリアル変換回路141~

144の信号出力端子を複数のデータ出力端子とすれば良い。こうすることによつて、強力な入出力回路が4系統できることとなり、タイミング発生回路35から第1図の場合と同様なタイミングとなるよう信号を出力することで、 $n \times m \div 4$ ビットのメモリセルを4系統持つた画像メモリを実現できる。この時、出力イネーブル入力端子への入力信号によつて、それぞれの出力が禁止状態にできることは言うまでもない。また、セレクト回路36をそのまま強しておくことによつて、4系統のメモリセルからの出力信号を、メモリコントロール信号への入力、または、遅延時間指定レジスタ回路18への設定内容で選択切換することも可能である。この応用例としては、各系統がテレビ信号を1フィールド記憶できるメモリセル容量として1~4フィールド遅延した信号を選択することがあげられる。

第6図は、本発明の他の実施例を示す図である。第6図においても、第1図、第4図と同一機能の回路ブロックには同一符号を記してある。

第6図の特徴は、1ドット単位でメモリセルへの書き込み機能を付加した点にある。このためメモリ読み出し回路を2系統持ち、1系統の出力を入力部に戻し、新しい入力信号とするか、メモリから読み出した信号とするかの入力切り換え回路をデータ入力部に持つ事を特徴とする。同図において、37は第2のセレクト回路、38はタイミング発生回路、39は入力切換回路、145~148はパラレルシリアル変換回路である。

第3図(10)の信号で示すように、メモリセルアレイ10からは2回読み出し動作を行なうことができる。第3図(9)に示すように入力信号と出力信号の位相を一致させることができる。さらに、遅延時間指定レジスタ回路18でテレビ信号の1フレーム遅延状態に設定し、第1の読み出し動作でパラレル-シリアル変換回路141~144およびセレクト回路36に供給するパラレルデータを、第2の読み出し動作でパラレル-シリアル変換回路145~148およびセレクト回路37に供給するパラレルデータをそれぞれ読み出して、

一方はデータ出力端子3、一方は入力切換回路39の入力に供給することで、1フレームの画像メモリを1ドット単位に書き替えることができる。タイミング発生回路38はこれら回路に必要なタイミング信号を発生する。さらに、第2図に示した遅延時間指定のためのアダー回路27を2系統持つことによつて、遅延時間の指定をセレクト回路36とセレクト回路37とで独立に行なうことができることとなり、1フレーム画像を1ドット単位で書き換えしながら、データ出力端子3には1フィールド遅延した信号を出力するといった事が可能となる。これは、例えば、VTRのドロップアウト補正等に効果的な機能である。

第7図は、本発明のさらに他の実施例を示す図である。第7図においても、第1図、第4図と同一機能の回路ブロックには同一符号を記してある。第7図の構成の特徴は、上述した2系統の読み出し回路の出力を外部出力端子に出力可能にした事にある。さらに、メモリ読み出し

回路を2系統持ち、それぞれ1系統ごとに遅延時間指定可能にした事が特徴である。同図において、40は、アドレス発生回路で遅延時間指定レジスタ回路18で指定される遅延時間指定情報に基づいて2系統の独立した読み出しアドレスを発生する機能が追加された回路、41は出力バッファレジスタ回路、42はパラレル-シリアル変換回路、43はタイミング発生回路、44は第2のデータ出力端子、45、46はクロック入力端子である。

第6図の説明に述べたと同様に、出力バッファレジスタ回路41で第2の読み出し動作によるパラレルデータを記憶し、パラレルシリアル変換回路42でパラレルシリアル変換を行って、データ出力端子44へ第2のシリアルデータを出力する。この時、アドレス発生回路40は、タイミング発生回路43から供給されるタイミングと、遅延時間指定レジスタ回路18に指定された遅延時間情報に基づいて2つの異なる遅延時間を持つ画像メモリ1からの出力信号を取り出すため

の読み出しアドレス信号を発生する。それぞれの系統の動作については、第1図の場合と同等なので説明を省くが、パラレル-シリアル変換回路14と42を第4図で示す構成にすることで、列のドット数を複数分割して遅延時間指定が可能である。また、クロック入力端子45、46はそれぞれデータ入力用クロック信号(CLK1)とデータ出力用クロック信号(CLK2)とをタイミング発生回路43に入力するためのものである。これによってデータ入力用クロック信号とデータ出力用クロック信号とを独立に操作することも可能である。

第7図の構成は、入力i端子に対して出力2端子の例であるが、以上の説明から入力N端子に対して出力2N端子の場合も容易に実現でき、かつ本発明に含まれることも明らかである。

ここで、第7図の構成の画像メモリ1の具体的な遅延時間指定について述べる。テレビ信号を例にとると、例えば、1フレーム遅延信号と1フィールド遅延信号の同時出力、1フィールド

遅延信号と1フィールド+1ライン遅延信号の同時出力、1フィールド262ラインと1フィールド263ライン遅延信号の同時出力など自由に、遅延時間指定レジスタ回路18に設定するデータに基づいて指定可能となる。

さらに、以上の説明では、遅延時間の指定を直接指定するとして説明したが、あらかじめ記憶回路に必要な値を記憶しておき、それらを選択する信号を記憶指定することも可能である。その場合には、たとえば、2ビットでフィールド単位の遅延量指定、2ビットでライン単位の遅延量指定、2ビットでクロック単位の遅延量指定とすることも可能である。

また、以上の説明では、遅延時間指定レジスタ回路18の遅延時間指定を独立の端子で行なうとして説明したが、レジスタデータ入力端子とデータ入力端子とを兼用し、レジスタクロック入力端子をメモリコントロール入力端子として直列に、または並列にデータ設定しても良い。(発明の効果)

以上述べたように、本発明によれば、ビデオ信号処理に好適な信号遅延を設定可能という新しい機能を持つ画像メモリを提供できる。

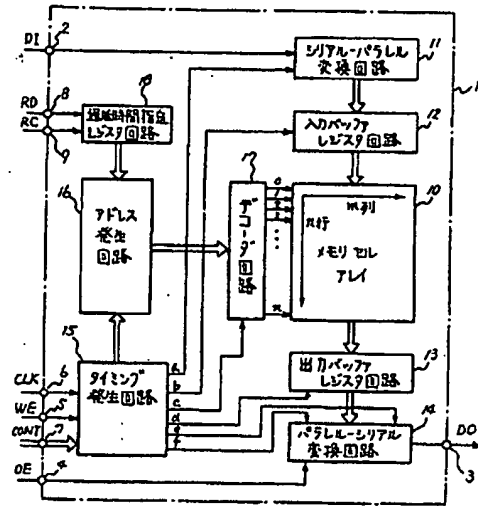
4 図面の簡単な説明

第1図は本発明の1実施例を示す画像メモリのブロック図、第2図は第1図における主要ブロックのより詳細なブロック図、第3図は第1図と第2図の主要な信号波形例を示す図、第4図は本発明の他の実施例を示すブロック図、第5図は第4図の主要な信号波形例を示す波形図、第6図は本発明の他の実施例を示すブロック図、第7図は本発明の他の実施例を示すブロック図である。

1…画像メモリ 2…データ入力端子 3…データ出力端子 10…メモリセルアレイ 11…シリアル-パラレル変換回路 12…入力バッファレジスタ回路 13…出力バッファレジスタ回路 14…パラレル-シリアル変換回路 15…タイミング発生回路 16…アドレス発生回路 17…デコード回路 18…遅延時間指定

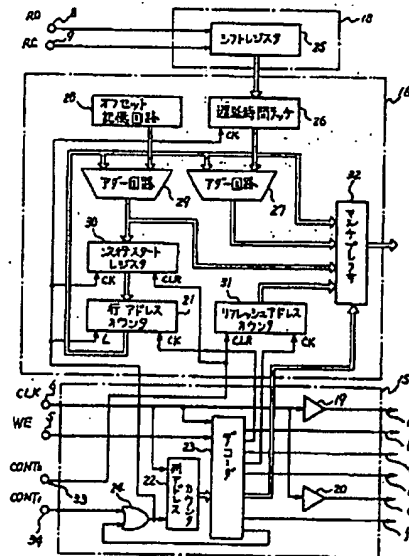
第1図

代理人分限士 小川 勝 男

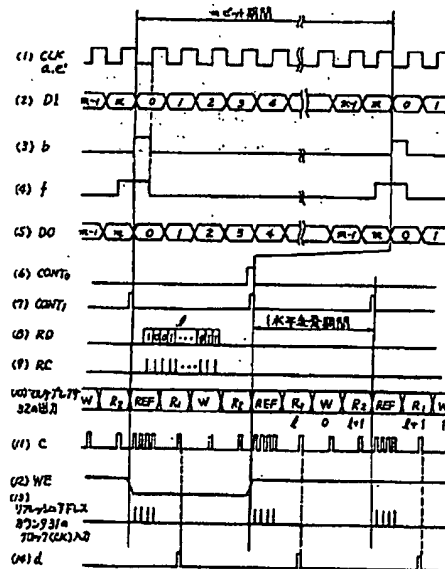


DI: データ入力
DO: データ出力
CLK: クロック
WE: ライトエナブル
RD: レジスタデータ
RC: レジスタクロック
CONT: メモリコントロール
OE: 出力エナブル

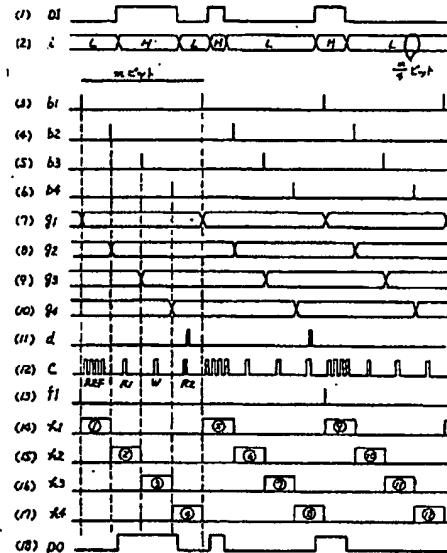
第2図



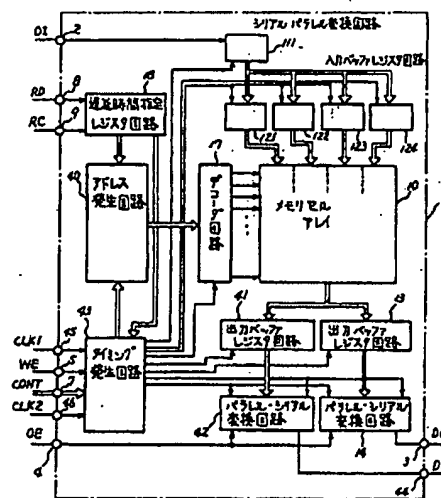
第3図



第 5 回



第 7 回



第1頁の続き

⑤Int. Cl. *

H 04 N 5/907
5/92

識別記号

庁内整理番号

B-7423-5C
Z-7155-5C

⑥発 明 者	塚 崎	久 暢	横浜市戸塚区吉田町292番地 株式会社日立製作所家電研 究所内
⑥発 明 者	近 藤	和 夫	横浜市戸塚区吉田町292番地 株式会社日立製作所家電研 究所内
⑥発 明 者	松 本	脩 三	横浜市戸塚区吉田町292番地 株式会社日立製作所家電研 究所内
⑥発 明 者	脇 本	裕 己	小平市上水本町1450番地 株式会社日立製作所武蔵工場内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.